**D- триггер**

D- триггером называется триггер с одним информационным входом, работающий так, что сигнал на выходе после переключения равен сигналу на входе D до переключения, т. е. . Основное назначение D- триггеров- задержка сигнала, поданного на вход D. Он имеет информационный вход D (вход данных) и вход синхронизации С. Вход синхронизации С может быть статическим (потенциальным) и динамическим. У триггеров со статическим входом С информация записывается в течение времени, при котором уровень сигнала С=1. В триггерах с динамическим входом С информация записывается только в течение перепада напряжения на входе С. Динамический вход изображают на схемах треугольником. Если вершина треугольника обращена в сторону микросхемы (прямой динамический вход), то триггер срабатывает по фронту входного импульса, если от нее (инверсный динамический вход) – по срезу импульса. В таком триггере информация на выходе может быть задержана на один такт по отношению к входной информации.

D- триггеры могут быть построены по различным схемам. На рис. 3.1, *а* показана схема одноступенчатого D- триггера на элементах И- НЕ и его условное обозначение. Триггер имеет прямые статические входы (управляющий сигнал- уровень логической единицы). На элементах D1 и D2 выполнена схема управления, а на элементах D3 и D4 асинхронный RS- триггер.

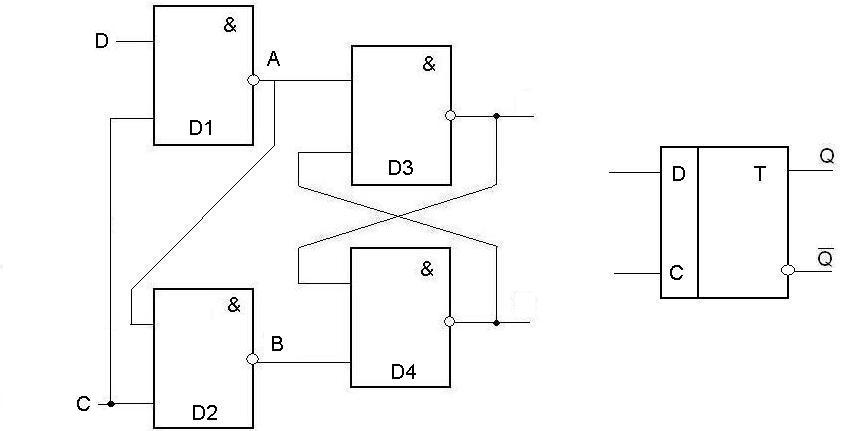


Рис. 3.1 - Схема одноступенчатого D- триггера на элементах И- НЕ

Если уровень сигнала на входе С=0, то состояние триггера устойчиво и не зависит от уровня сигнала на информационном входе D. При этом входы асинхронного RS- триггера с инверсными входами (D3 и D4) поступают пассивные уровни .

При подаче на вход синхронизации уровня С=1 информация на прямом выходе повторять информацию, подаваемую на вход D.

Следовательно, при С=0 , а при С=1 , временные диаграммы, поясняющие работу D- триггера, приведены на рис. 3.1, *б.*

Таблица переходов D- триггера в полной и сокращенной форме представлена в таблице 3.1, *а* и  *б* соответственно.

В отсутствие тактирующих импульсов триггер находится в режиме хранения ранее полученной информации. С приходом импульса синхронизации происходит запись информации, установленной на входе D. Поскольку D- триггеров без синхронизации не существует, то первые четыре строки таблицы 3.1, *а* можно исключить, в результате получим сокращенную таблицу состояний (табл. 3.1, *б*).

Таблица 3.1 – Закон функционирования D- триггера:

полная таблица (*а*); сокращенная (*б*)

|  |  |  |  |
| --- | --- | --- | --- |
| Такт n | | | Такт n+1 |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

|  |  |
| --- | --- |
| Такт n | Такт n+1 |
|  |  |
| 0 | 1 |
| 1 | 0 |

*б*)

*а)*

Закон функционирования D- триггера запишется в виде:



или в сокращенной форме: .

Поскольку триггер задерживает на один такт информацию, поданную на вход D в предыдущем такте, то он получил название триггер «задержки».

Недостатком статического способа синхронизации является то, что запись информации происходит в течение длительности импульса синхронизации и любое изменение сигнала на входе D в это время приводит к изменению выходного сигнала.

**Программная реализация D-триггера в пакете Electronics Workbench v. 5.12(EWB).**

Подготовка к работе и сборка схемы для исследования D **-** триггера аналогична сборке схемы для исследования асинхронного **-** триггера, только асинхронный триггер нужно заменить D **–** триггера из группы цифровых устройств (3).

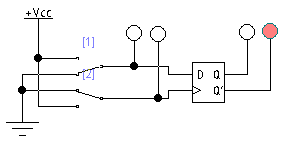


Рис. 2.6 – Принципиальная схема для исследования

работы D – триггера